

**Digital signal processor with parallel multipliers****Publication number:** DE3636106**Publication date:** 1987-04-23**Inventor:** ANDO HIDEKI (JP); NAKAYA MASAO (JP); KONDO HARUFUSA (JP)**Applicant:** MITSUBISHI ELECTRIC CORP (JP)**Classification:****- International:** G06F17/10; G06F7/544; G06F17/16; G06F17/10; G06F7/48; G06F17/16; (IPC1-7): G06F7/52**- European:** G06F7/544A**Application number:** DE19863636106 19861023**Priority number(s):** JP19850238829 19851023**Also published as:**

US4771379 (A1)

JP62097060 (A)

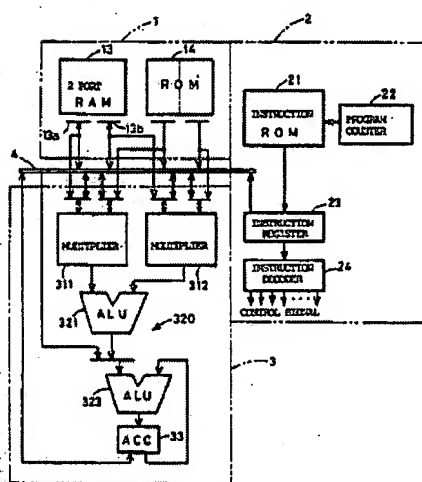
FR2588980 (A1)

Report a data error here

Abstract not available for DE3636106

Abstract of corresponding document: **US4771379**

An arithmetic operation portion 3 comprises a plurality of multipliers 311 and 312 connected directly with a memory portion 1 so that multiplication processing can be performed in parallel. As a result, the processing capacity for multiplication and addition can be increased and the throughput rate of data can be improved.



Data supplied from the esp@cenet database - Worldwide



DEUTSCHES  
PATENTAMT

21 Aktenzeichen: P 36 36 106.2  
22 Anmeldetag: 23. 10. 86  
43 Offenlegungstag: 23. 4. 87

Behördenamt

DE 3636106 A1

30 Unionspriorität: 32 33 31  
23.10.85 JP 238829/85

71 Anmelder:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP

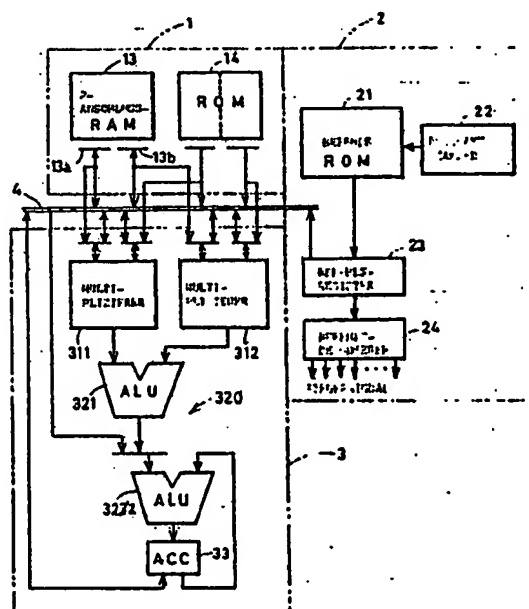
74 Vertreter:  
Prüfer, L., Dipl.-Phys., PAT.-ANW., 8000 München

72 Erfinder:  
Ando, Hideki; Nakaya, Masao; Kondo, Harufusa,  
Itami, Hyogo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt.

64 Digitaler Signalprozessor

Ein arithmetischer Rechenbereich (3) weist eine Mehrzahl von Multiplizierern (311 und 312) auf, die direkt mit einem Speicherbereich (1) so verbunden sind, daß Multiplikations-tätigkeit parallel durchgeführt werden kann. Als Resultat kann die Verarbeitungsfähigkeit für Multiplikation und Addition erhöht werden, und die Durchgangsleistung von Daten kann verbessert werden.



DE 3636106 A1

1. Digitaler Signalprozessor, der auf digitales Signalverarbeiten zugeschnitten ist, mit:  
 einem Speicherbereich (1), einem Steuerbereich (2),  
 einem arithmetischen Rechenbereich (3) und einem  
 Datenbus (4), der als Datenübertragungsleitung  
 zwischen dem Speicherbereich (1), dem Steuerbe-  
 reich (2) und dem arithmetischen Rechenbereich (3)  
 dient,  
 wobei der Speicherbereich (1) Datenspeicher (11  
 und 12 oder 13 und 14) zum Speichern von zu multi-  
 plizierenden Daten aufweist, und  
 der Steuerbereich einen Programmspeicher (21)  
 zum Speichern von Programmdateien, eine Leseein-  
 richtung (22) zum aufeinanderfolgenden Auslesen  
 von den in dem Programmspeicher (21) gespeicherten  
 Programmdateien und eine Ausgabereinrichtung  
 (24) zum Vorsehen verschiedener Steuersignale auf  
 der Basis der von dem Programmspeicher (21) ausge-  
 lesenen Programmdateien aufweist, dadurch gekenn-  
 zeichnet, daß der arithmetische Rechenbe-  
 reich (3) eine Mehrzahl von direkt mit den Daten-  
 speichern (11, 12 oder 13, 14) verbundene Multipli-  
 zierer (311 und 312) zum Multiplizieren von von  
 den Datenspeichern (11, 12 oder 13, 14) vorgesehe-  
 nen Daten, eine direkt mit der Mehrzahl von Multi-  
 plizierern (311, 312) verbundene arithmetische und  
 logische Einheit (320) zum Anwenden einer vorbe-  
 stimmten arithmetischen und logischen Operation  
 auf die Ausgaben der Multiplizierer (311, 312), und  
 einen Akkumulator (33) zum zeitweiligen Spei-  
 chern einer Ausgabe der arithmetischen und logi-  
 schen Einheit (320) so, daß die Ausgabe dem Daten-  
 bus (4) zugeführt wird, aufweist.
2. Digitaler Signalprozessor nach Anspruch 1, da-  
 durch gekennzeichnet, daß die arithmetische und  
 logische Einheit (320) eine Mehrzahl von arithmeti-  
 schen und logischen Schaltkreisen (321, 322) auf-  
 weist.
3. Digitaler Signalprozessor nach Anspruch 2, da-  
 durch gekennzeichnet, daß die Mehrzahl von arith-  
 metischen und logischen Schaltkreisen (321, 322)  
 einen arithmetischen und logischen Schaltkreis  
 (321) zum Additionsausführen, der direkt mit der  
 Mehrzahl von Multiplizierern (311, 312) so verbun-  
 den ist, daß die Ausgaben der Mehrzahl von Multi-  
 plizierern (311, 312) addiert werden, und  
 einen arithmetischen und logischen Schaltkreis  
 (322) zum Akkumulationsausführen, der direkt mit  
 dem arithmetischen und logischen Schaltkreis (321)  
 zum Additionsausführen verbunden ist und mit  
 dem Akkumulator (33) so verbunden ist, daß eine  
 Ausgabe des arithmetischen und logischen Schalt-  
 kreises (321) zum Additionsausführen zu einem in  
 dem Akkumulator (33) gespeicherten Wert addiert  
 wird, aufweist.
4. Digitaler Signalprozessor nach einem der An-  
 sprüche 1 bis 3, dadurch gekennzeichnet, daß die  
 Datenspeicher (13, 14) eine Mehrzahl von Spei-  
 chern aufweisen.
5. Digitaler Signalprozessor nach Anspruch 4, da-  
 durch gekennzeichnet, daß die Mehrzahl von Spei-  
 chern (13, 14) einen Direktzugriffsspeicher (13) zum  
 Speichern von nicht-konstanten Daten, und einen  
 Nur-Lese-Speicher (14) zum Speichern von kon-  
 stanten Daten aufweist.
6. Digitaler Signalprozessor nach Anspruch 5, da-

durch gekennzeichnet, daß der Direktzugriffsspei-  
 cher (13) eine Mehrzahl von direkt mit einem Ein-  
 gang von jedem der Multiplizierer (311, 312) ver-  
 bundenen Ausgangsanschlüssen (13a und 13b) auf-  
 weist, und daß der Nur-Lese-Speicher (14) Spei-  
 chergebiete aufweist, die in der Lage sind, Daten  
 unabhängig voneinander auszulesen, wobei die  
 Zahl der Speichergebiete gleich der Zahl der Multi-  
 plizierer (311, 312) ist.

7. Digitaler Signalprozessor nach einem der An-  
 sprüche 1 bis 3, dadurch gekennzeichnet, daß die  
 Datenspeicher Speicher (11 und 12) sind, die eine  
 ausreichend hohe Zugriffsgeschwindigkeit, vergli-  
 chen mit der Verarbeitungsgeschwindigkeit der  
 Multiplizierer (311, 312), haben, so daß Daten von  
 den Datenspeichern (11, 12) in jeden der Multipli-  
 zierer (311, 312) in einem Time-Multiplexing-Ver-  
 fahren gesetzt werden können.

#### Beschreibung

Die Erfindung bezieht sich auf einen digitalen Signal-  
 prozessor, und insbesondere bezieht sie sich auf einen  
 digitalen Signalprozessor mit einer verbesserten digita-  
 len Signalverarbeitung.

Ein digitaler Signalprozessor ist ein Mikroprozessor,  
 der auf das digitale Signalverarbeiten zugeschnitten ist,  
 der zu dem Zwecke der schnellen Durchführung von  
 arithmetischen Operationen der Multiplikation und Ad-  
 dition entwickelt ist, wie sie häufig bei digitalem Signal-  
 verarbeiten benötigt werden.

Fig. 1 ist ein schematisches Blockschaltbild, das  
 ein Beispiel eines konventionellen digitalen Signalpro-  
 zessors zeigt, wie er zum Beispiel in "A Single-Chip  
 Digital Signal Processor for Voiceband Applications"  
 von Y. Kawakami u.a., IEEE International Solid-State  
 Circuits Conference, Seiten 40-41, 1980, veröffentlicht  
 ist. Unter Bezugnahme auf Fig. 1 wird ein digitaler Si-  
 gnalprozessor beschrieben, der, wie in einem gewöhnli-  
 chen Mikrocomputer, einen Speicherbereich 1, einen  
 Steuerbereich 2, einen arithmetischen Rechenbereich 3  
 und einen Datenbus 4 aufweist. Der Speicherbereich 1  
 weist einen Direktzugriffsspeicher (im folgenden RAM  
 genannt) 11 und einen Nur-Lese-Speicher (im folgenden  
 ROM genannt) 12 auf. In dem arithmetischen Rechen-  
 bereich 3 zu verarbeitende Daten, und Daten, die zum  
 Verarbeiten nötig sind, sind in dem RAM 11 und dem  
 ROM 12 gespeichert. Nicht-feste Daten sind in dem  
 RAM 11 gespeichert, und feste Daten (zum Beispiel  
 konstante Daten usw. für Multiplikation) sind in dem  
 ROM 12 gespeichert. Der RAM 11 und der ROM 12  
 sind mit dem Datenbus 4 verbunden.

Der Steuerbereich 2 weist einen Befehls-ROM 21,  
 einen Programmzähler 22, ein Befehlsregister 23 und  
 einen Befehlsdecodierer 24 auf. Programmdateien wer-  
 den in dem Befehls-ROM 21 gespeichert. Der Pro-  
 grammzähler 22 liest nacheinander die Programmdateien  
 von dem Programm-ROM 21 in Synchronisation mit  
 nicht abgebildeten Grundtaktimpulsen des digitalen Si-  
 gnalprozessors aus. Das Befehlsregister 23 speichert  
 zeitweilig die von dem Befehls-ROM 21 ausgelesenen  
 Programmdateien. Eine Ausgabe von dem Befehlsregister  
 23 wird dem Befehlsdecodierer 24 zugeführt. Ein Teil  
 der Bitausgabe von dem Befehlsregister 23 wird dem  
 Datenbus 4 zugeführt. Der Befehlsdecodierer 24 ent-  
 schlüsselt die von dem Befehlsregister 23 erhaltenen  
 Daten und sieht verschiedene Steuersignale vor. Diese  
 Steuersignale werden dem Speicherbereich 1, dem

Steuerbereich 2, dem arithmetischen Rechenbereich 3 usw. zugeführt, so daß die Tätigkeit der internen Schaltkreise dieser Komponenten gesteuert wird.

Der arithmetische Rechenbereich 3 weist einen Multiplizierer 31, eine arithmetische und logische Einheit (im folgenden als ALU bezeichnet) 32 und einen Akkumulator 33 auf. Eingänge des Multiplizierers 31 sind mit dem Datenbus 4 verbunden. Einer der Eingänge des Multiplizierers 31 ist direkt mit dem RAM 11 verbunden, und der andere Eingang ist direkt mit dem ROM 12 verbunden. Ein Eingang der ALU 32 ist mit dem Datenbus 4 verbunden und ist direkt mit dem Multiplizierer 31 verbunden. Der andere Eingang der ALU 32 nimmt einen Ausgang von dem Akkumulator 33 auf. Ein Ausgang der ALU 32 wird dem Akkumulator 33 zugeführt. Der Akkumulator 33 ist mit dem Datenbus 4 verbunden.

In der oben beschriebenen Anordnung multipliziert der Multiplizierer 31 einen von dem RAM 11 gelesenen Wert mit einer von dem ROM 12 gelesenen Konstanten und führt das Resultat der Multiplikation der ALU 32 zu. Die ALU 32 addiert das Multiplikationsresultat des Multiplizierers 31 zu dem akkumulierenden Gesamtwert der soweit erhaltenen und in dem Akkumulator 33 gespeicherten Multiplikationsresultate so, daß das Resultat der Addition in dem Akkumulator 33 gespeichert wird. Der in dem Akkumulator 33 gespeicherte akkumulierende Wert wird durch den Datenbus 4 vorgesehen.

Da der digitale Signalprozessor den Multiplizierer 31 als Hardware-Schaltkreis aufweist, der der Multiplikationstätigkeit gewidmet ist, kann daher die Multiplikationstätigkeit bei einer höheren Geschwindigkeit durchgeführt werden als im Vergleich mit dem Fall, in dem die Multiplikation als eine wiederholte Addition in der ALU 32 ausgeführt wird, wie es in einem konventionellen Mikrocomputer der Fall ist. Da der Multiplizierer 31 direkt mit dem RAM 11 und dem ROM 12 verbunden ist, können Daten in den Multiplizierer 31 durch einen Befehl gesetzt werden. Da der Multiplizierer 31 direkt mit der ALU 32 verbunden ist, kann das Resultat der Multiplikation in die ALU 32 mit einem Befehl gesetzt werden. Daher sind Datenwege für arithmetische Operationen der Multiplikation und Addition separat von dem Datenbus 4 vorgesehen, und folglich können arithmetische Operationen der Multiplikation und Addition simultan mit der Übertragung von Daten ausgeführt werden, und das Ausführen von arithmetischen Operationen der Multiplikation und Addition kann bei einer hohen Geschwindigkeit durchgeführt werden.

In einem wie oben beschriebenen digitalen Signalprozessor ist jedoch die Rechengeschwindigkeit in dem Multiplizierer 31 am langsamsten im Vergleich mit der Verarbeitungsgeschwindigkeit in anderen Schaltkreisen. Daher ist in einem solchen konventionellen digitalen Signalprozessor die Durchgangsleistung gewöhnlich in Abhängigkeit der Rechengeschwindigkeit des Multiplizierers 31 bestimmt, und weitere Verbesserungen der Durchgangsleistung können nicht erzielt werden.

Daher ist es Aufgabe der Erfindung, einen digitalen Signalprozessor vorzusehen, der eine höhere Durchgangsleistung im Vergleich mit konventionellen digitalen Signalprozessoren aufweist.

Erfindungsgemäß ist eine Mehrzahl von Multiplizierern in einem arithmetischen Rechenbereich vorgesehen, und diese Multiplizierer sind direkt mit Datenspeichern verbunden und ebenfalls direkt mit einer arithmetischen und logischen Einheit verbunden.

Erfindungsgemäß ist eine Mehrzahl von Multiplizie-

rern vorgesehen, die direkt mit Datenspeichern so verbunden sind, daß die Multiplikationsdurchführung simultan durchgeführt werden kann. Daher kann die Verarbeitungsfähigkeit für Multiplikation und Addition bemerkenswert verbessert werden im Vergleich mit einem konventionellen digitalen Signalprozessor, und folglich kann die Durchgangsleistung verbessert werden.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsbeispielen anhand der Figuren. Von den Figuren zeigen:

Fig. 1 ein schematisches Blockschaltbild, das ein Beispiel eines konventionellen digitalen Signalprozessors darstellt;

Fig. 2 ein schematisches Blockdiagramm einer erfindungsgemäßen Ausführungsform;

Fig. 3 ein schematisches Blockdiagramm einer anderen Ausführungsform der Erfindung;

Fig. 4 ein Zeitablaufdiagramm zum Erklären des Betriebes der in Fig. 3 gezeigten Ausführungsform; und

Fig. 5 ein Schaltbild eines Beispiels des in Fig. 3 gezeigten Verzögerungsschaltkreises.

Fig. 2 ist ein schematisches Blockschaltbild, das eine Ausführungsform der Erfindung darstellt. Diese Ausführungsform ist die gleiche wie das in Fig. 1 gezeigte konventionelle Beispiel mit Ausnahme der unten beschriebenen Punkte, und daher sind die gleichen Bereiche mit den gleichen Bezugszeichen bezeichnet und ihre Beschreibung ist ausgelassen. Die in Fig. 2 gezeigte Ausführungsform weist einen Speicherbereich 1, einen Steuerbereich 2, einen arithmetischen Rechenbereich 3 und einen Datenbus 4 wie das in Fig. 1 gezeigte konventionelle Beispiel auf. Der Steuerbereich 2 ist ganz der gleiche wie der des in Fig. 1 gezeigten konventionellen Beispiels. Der Speicherbereich 1 weist einen Zwei-Anschluß-RAM 13 anstelle des in Fig. 1 gezeigten RAM 11 auf. Der Zwei-Anschluß-RAM 13 weist zwei Ausgangsanschlüsse so auf, daß Daten simultan von zwei Adressen ausgelesen werden können. Die von einer Adresse ausgelesenen Daten werden von dem ersten Anschluß 13a vorgesehen. Die von der anderen Adresse ausgelesenen Daten werden von dem zweiten Anschluß 13b vorgesehen. Diese ersten und zweiten Anschlüsse 13a und 13b sind mit dem Datenbus 4 verbunden. Der Speicherbereich 1 weist einen ROM 14 mit zwei Speicherbereichen anstelle des in Fig. 1 gezeigten ROM 12 auf. Dieser ROM 14 hat zwei Speicherbereiche, die auf dem gleichen Chip gebildet sind, zum Beispiel, jeder funktioniert als ein ROM, so daß Daten simultan von den zwei Speicherbereichen ausgelesen werden können. Jeder Speicherbereich des ROM 14 ist mit dem Datenbus 4 verbunden.

Der arithmetische Rechenbereich 3 weist zwei Multiplizierer 311 und 312, zwei ALUs 321 und 322 und einen Akkumulator 33 auf. Ein Eingang des ersten Multiplizierers 311 ist mit dem Datenbus 4 verbunden und ist ebenfalls direkt mit dem ersten Anschluß 13a des Zwei-Anschluß-RAM 13 verbunden. Der andere Eingang des ersten Multiplizierers 311 ist mit dem Datenbus 4 verbunden und ist ebenfalls direkt mit einem der Speicherbereiche des ROM 14 verbunden. Ein Eingang des zweiten Multiplizierers 312 ist mit dem Datenbus 4 verbunden und ist ebenfalls direkt mit dem zweiten Anschluß 13b des Zwei-Anschluß-RAM 13 verbunden. Der andere Eingang des zweiten Multiplizierers 312 ist mit dem Datenbus 4 verbunden und ist ebenfalls direkt mit dem anderen Speicherbereich des ROM 14 verbunden. Ein Eingang der ersten ALU 321 ist direkt mit dem ersten

Multiplizierer 311 verbunden, und der andere Eingang davon ist direkt mit dem zweiten Multiplizierer 312 verbunden. Ein Eingang der zweiten ALU 322 ist mit dem Datenbus 4 verbunden und ist ebenfalls direkt mit der ersten ALU 321 verbunden. Der andere Eingang der zweiten ALU 322 nimmt einen Ausgang von dem Akkumulator 33 auf. Diese erste und zweite ALU 321 und 322 bilden eine arithmetische und logische Einheit 320. Ein Ausgang von der zweiten ALU 322 ist dem Akkumulator 33 zugeführt. Der Akkumulator 33 ist mit dem Datenbus 4 verbunden.

Im folgenden wird der Betrieb der oben aufgeführten Ausführungsform beschrieben. Die in dem Speicher-ROM 21 gespeicherten Programmdateien werden nacheinander von dem Programmzähler 22 ausgelesen und in dem Befehlsregister 23 gespeichert. Der Befehlsdecoder 24 liest und entschlüsselt die in dem Befehlsregister 23 gespeicherten Programmdateien und sieht verschiedene Steuersignale vor. Diese Steuersignale werden dem Speicherbereich 1, dem Steuerbereich 2, dem arithmetischen Rechenbereich 3 usw. so zugeführt, daß die Tätigkeit dieser Komponenten gesteuert wird.

Auf der anderen Seite werden von dem ersten Anschluß 13a des Zwei-Anschluß-RAM 13 zugeführte Daten direkt einem der Eingänge des Multiplizierers 311 zugeführt und nicht durch den Datenbus 4. Von dem zweiten Anschluß 13b des Zwei-Anschluß-RAM zugeführte Daten werden ebenfalls direkt einem der Eingänge des zweiten Multiplizierers 312 zugeführt und nicht durch den Datenbus 4. Zusätzlich werden von den Speicherbereichen des ROM 14 gelesene Daten direkt zu dem anderen Eingang des ersten Multiplizierers 311 zugeführt und nicht durch den Datenbus 4. Von dem anderen der Speicherbereiche des ROM 14 ausgelesene Daten werden ebenfalls direkt dem anderen Eingang des zweiten Multiplizierers 312 zugeführt und nicht durch den Datenbus 4. Folglich multipliziert der erste Multiplizierer 311 die von dem ersten Anschluß 13a des RAM 13 vorgesehenen Daten mit den aus dem einen der Speicherbereiche des ROM 14 gelesenen Daten. Der zweite Multiplizierer 312 multipliziert die von dem zweiten Anschluß 13b des RAM 13 vorgesehenen Daten mit den aus dem anderen der Speicherbereiche des ROM 14 gelesenen Daten. Die Resultate der Multiplikation des ersten und zweiten Multiplizierers 311 und 312 werden der ersten ALU 321 so zugeführt, daß deren Resultate addiert werden. Die Resultate der Addition durch die erste ALU 321 wird direkt der zweiten ALU 322 zugeführt und gehen nicht durch den Datenbus 4. Die zweite ALU 322 addiert das Resultat der Multiplikation von der ersten ALU 321 zu dem auflaufenden Gesamtwert der soweit erhaltenen und in dem Akkumulator 33 gespeicherten Resultate der Multiplikation, so daß das Resultat der Addition in dem Akkumulator 33 gespeichert wird. Der auflaufende Gesamtwert der Resultate der Multiplikation, der in dem Akkumulator 33 gespeichert ist, wird durch den Datenbus 4 zur Verfügung gestellt.

Wie oben beschrieben wurde, weist die in Fig. 2 gezeigte Ausführungsform zwei Multiplizierer und zwei ALUs auf, und als Resultat hat diese Ausführungsform eine Verarbeitungskapazität für arithmetische Operationen der Multiplikation und Addition, die zweimal so groß ist, wie die des in Fig. 1 gezeigten konventionellen digitalen Signalprozessors. Folglich kann die Durchgangsleistung der Daten zweimal so groß gemacht werden im Vergleich mit dem in Fig. 1 gezeigten konventionellen Beispiel. Da der erste und zweite Multiplizierer 311 und 312 direkt mit dem RAM 13 und dem ROM 14

verbunden sind, können zusätzlich Daten in die zwei Multiplizierer 311 und 312 durch einen Befehl gesetzt werden, und damit kann die Verarbeitungseffektivität verbessert werden.

Obwohl die oben beschriebene Ausführungsform zwei Multiplizierer und zwei ALUs aufweist, können drei oder mehr Multiplizierer und drei oder mehr ALUs vorgesehen werden, die Verarbeitungskapazität für die Multiplikation und Addition kann weiter in Abhängigkeit von der Zahl der Multiplizierer und ALUs erhöht werden. In einem solchen Fall ist es nötig, damit die Daten simultan in die entsprechenden Multiplizierer gesetzt werden, einen RAM mit Anschlüssen vorzusehen, deren Anzahl gleich der Anzahl von Multiplizierern ist, anstelle des Zwei-Anschluß-RAM 13, oder mehrere Ein-Anschluß-RAM vorzusehen, deren Anzahl gleich der Anzahl der Multiplizierer ist. Auf die gleiche Weise ist es in einem solchen Fall notwendig, anstelle des ROMs 14 mit zwei Speicherbereichen einen ROM vorzusehen mit Speicherbereichen, deren Anzahl gleich der Anzahl der Multiplizierer ist, oder mehrere ROM mit einem einzelnen Speicherbereich vorzusehen, deren Anzahl gleich der Anzahl der Multiplizierer ist.

Obwohl nicht-feste Daten, die in dem Zwei-Anschluß-RAM 13 gespeichert sind, mit festen Daten (wie konstante Daten), die in dem ROM 14 der oben beschriebenen Ausführungsform gespeichert sind, multipliziert werden, können nicht-feste Daten mit nicht-festen Daten multipliziert werden. In diesem Fall wird ein Zwei-Anschluß-RAM anstelle des ROM 14 vorgesehen. In dem Fall, in dem drei oder mehr Multiplizierer und drei oder mehr ALUs vorgesehen werden, ist es zusätzlich notwendig, jeweils zwei RAM mit Anschlüssen vorzusehen, deren Zahl gleich der Zahl der Multiplizierer ist, oder Ein-Anschluß-RAMs vorzusehen, deren Anzahl zweimal so groß ist wie die Anzahl der Multiplizierer.

Wenn die Zugriffszeit des RAM und des ROM, die in dem Speicherbereich 1 benutzt werden, vielfach geringer ist als die Rechengeschwindigkeit von jedem der Multiplizierer, die in dem arithmetischen Rechenbereich 3 vorgesehen sind, können die Daten in die Multiplizierer in einem Zeit-Multiplexing-Verfahren gesetzt werden, und in einem solchen Fall kann die Anzahl der RAM und die Anzahl der ROM verringert werden.

Fig. 3 zeigt ein schematisches Blockschaltendiagramm einer anderen Ausführungsform der Erfindung als die oben aufgeführte. In Fig. 3 ist die Zugriffsgeschwindigkeit von jedem der RAM 11 und der ROM 12, die in dem Speicherbereich 1 vorgesehen sind, um ein Vielfaches schneller als die Rechengeschwindigkeit von jedem der ersten und zweiten Multiplizierer 311 und 312, die in dem arithmetischen Rechenbereich 3 vorgesehen sind. Ein Ausgang des RAM 11 ist mit dem Datenbus 4 verbunden und ist ebenfalls mit einem Eingang von jedem des ersten und zweiten Multiplizierers 311 und 312 verbunden. Ein Ausgang des ROM 12 ist mit dem Datenbus 4 verbunden und ebenfalls mit den anderen Eingängen des ersten und zweiten Multiplizierers 311 und 312 verbunden. Ein Verzögerungsschaltkreis 34 ist zwischen dem ersten Multiplizierer 311 und der ALU 321 vorgesehen. Die andere Anordnung dieser Ausführungsform ist die gleiche wie die der in Fig. 2 gezeigten.

In der oben beschriebenen Anordnung ist es angenommen, daß jeder der Multiplizierer 311 und 312 die Fähigkeit für eine Multiplikationstätigkeit während eines Maschinenzyklus hat. Der RAM 11 und der ROM 12 führen Daten dem ersten Multiplizierer 311 in der ersten Halbperiode eines Maschinenzyklus zu und führen

Daten dem zweiten Multiplizierer 312 in der zweiten Halperiode eines Maschinenzyklus zu. Folglich multiplizieren der erste und zweite Multiplizierer 311 und 312 die Daten während der Dauer eines Maschinenzyklus, aber die Ausgabezeiten des ersten Multiplizierers 311 und die des zweiten Multiplizierers 312 stimmen nicht überein. Daher verzögert der Verzögerungskreis 34 die Ausgabe des ersten Multiplizierers 311 um eine vorbestimmte Zeitdauer, so daß die Resultate der Multiplikation von dem ersten und zweiten Multiplizierer 311 und 312 der ALU 321 gleichzeitig eingegeben werden können. Die andere Tätigkeit ist die gleiche wie die der in Fig. 1 gezeigten Ausführungsform.

Die oben beschriebene Tätigkeit wird im folgenden unter Bezug auf die Fig. 4 speziell erklärt. Fig. 4 zeigt den Fall, in dem ein Maschinenzyklus durch einen Zyklus von Taktpulsen  $\Phi 1$  bis  $\Phi 4$  definiert ist. In der Zeitdauer von einem Maschinenzyklus wird die Adresse in dem ROM 12 zweimal als Reaktion auf die Taktpulse  $\Phi 1$  und  $\Phi 3$  geändert, so daß Daten von dem ROM 12 ausgelesen werden. Daten in dem ROM 12 werden den Multiplizierern 311 und 312 in Abhängigkeit von den Taktpulsen  $\Phi 2$  bzw.  $\Phi 4$  eingegeben, um die Multiplikation so zu starten. Die Multiplizierer 311 und 312 verriegeln (latch) die Ausgabe in Abhängigkeit von den Taktpulsen  $\Phi 4$  bzw.  $\Phi 2$ . Die Ausgabe von dem Multiplizierer 311 hat einen Phasenvorlauf von  $1/2$  Maschinenzyklus im Vergleich mit der Ausgabe von dem Multiplizierer 312, und daher werden die Phasen der Ausgaben in dem Verzögerungskreis 34 zum Übereinstimmen gebracht, so daß die Ausgaben von den Multiplizierern 311 und 312 der ALU 321 zugeführt werden. Ein Beispiel des in diesem Fall benutzten Verzögerungskreises 34 ist in Fig. 5 abgebildet. Fig. 5 zeigt ein sogenanntes statisches Register, das zwei MOS-Transistoren 341 und 342 und zwei Inverter 343 und 344 aufweist. Der MOS-Transistor 341 wird durch Taktpulse  $\Phi 2$  gesteuert, und der MOS-Transistor 342 wird durch einen invertierten Taktpuls  $\Phi 2$  des Taktpulses  $\Phi 2$  gesteuert. Wenn der Puls  $\Phi 2$  ansteigt, schaltet insbesondere der MOS-Transistor 341 ein, und der MOS-Transistor 342 schaltet ab, wodurch die in den Invertierern 343 und 344 und in dem MOS-Transistor 342 verriegelten Daten ausgegeben werden.

In den jeweils oben beschriebenen Ausführungsformen sind zwei ALUs vorgesehen. Wenn die Rechengeschwindigkeit einer solchen ALU jedoch um ein Vielfaches höher ist als die Multipliziergeschwindigkeit von jedem Multiplizierer, wird nur eine ALU benötigt, um die Resultate der Multiplikation der entsprechenden Multiplizierer zu addieren, und um das Resultat der Addition zu dem auflaufenden Gesamtwert in dem Akkumulator 33 zu addieren. Das ist in dem Fall der Benutzung von drei oder mehr Multiplizierern das gleiche.

- Leerseite -

FIG.1

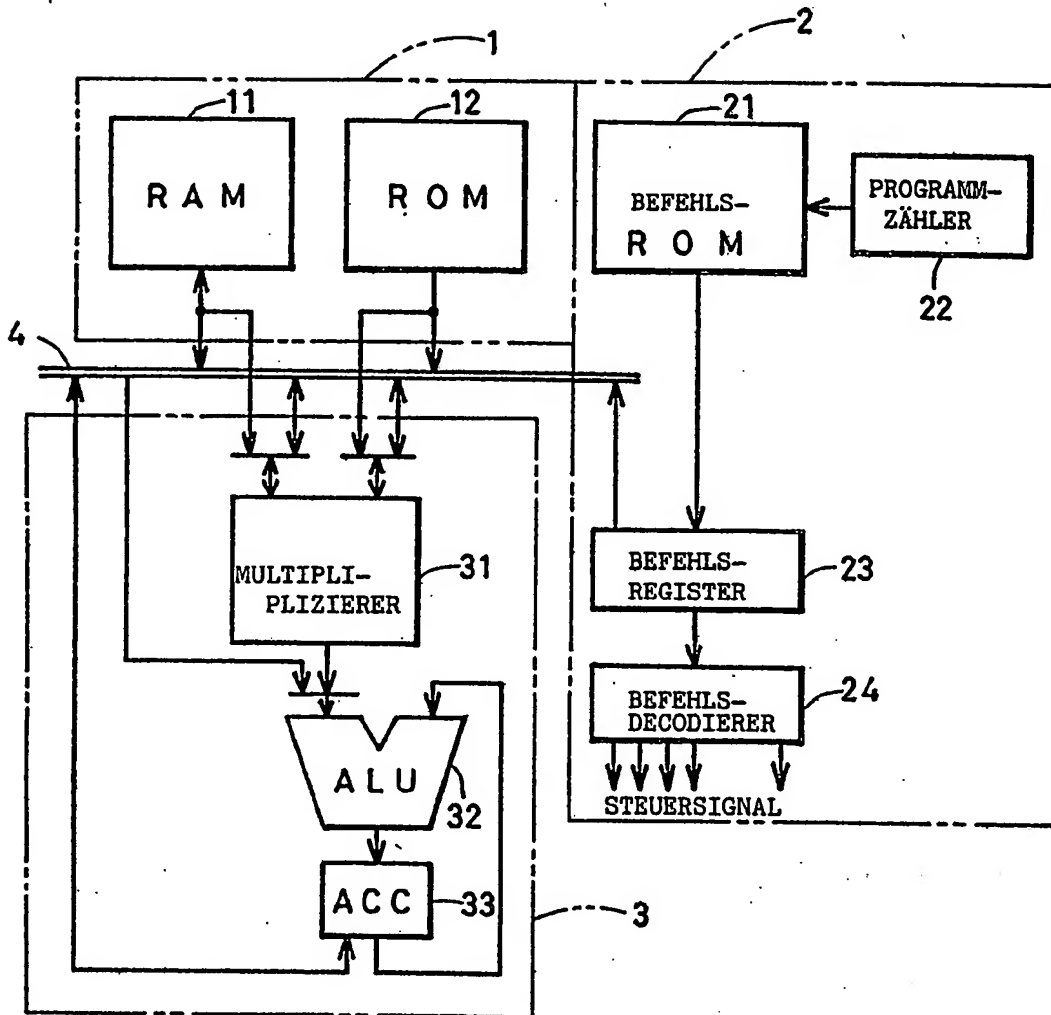




FIG. 2

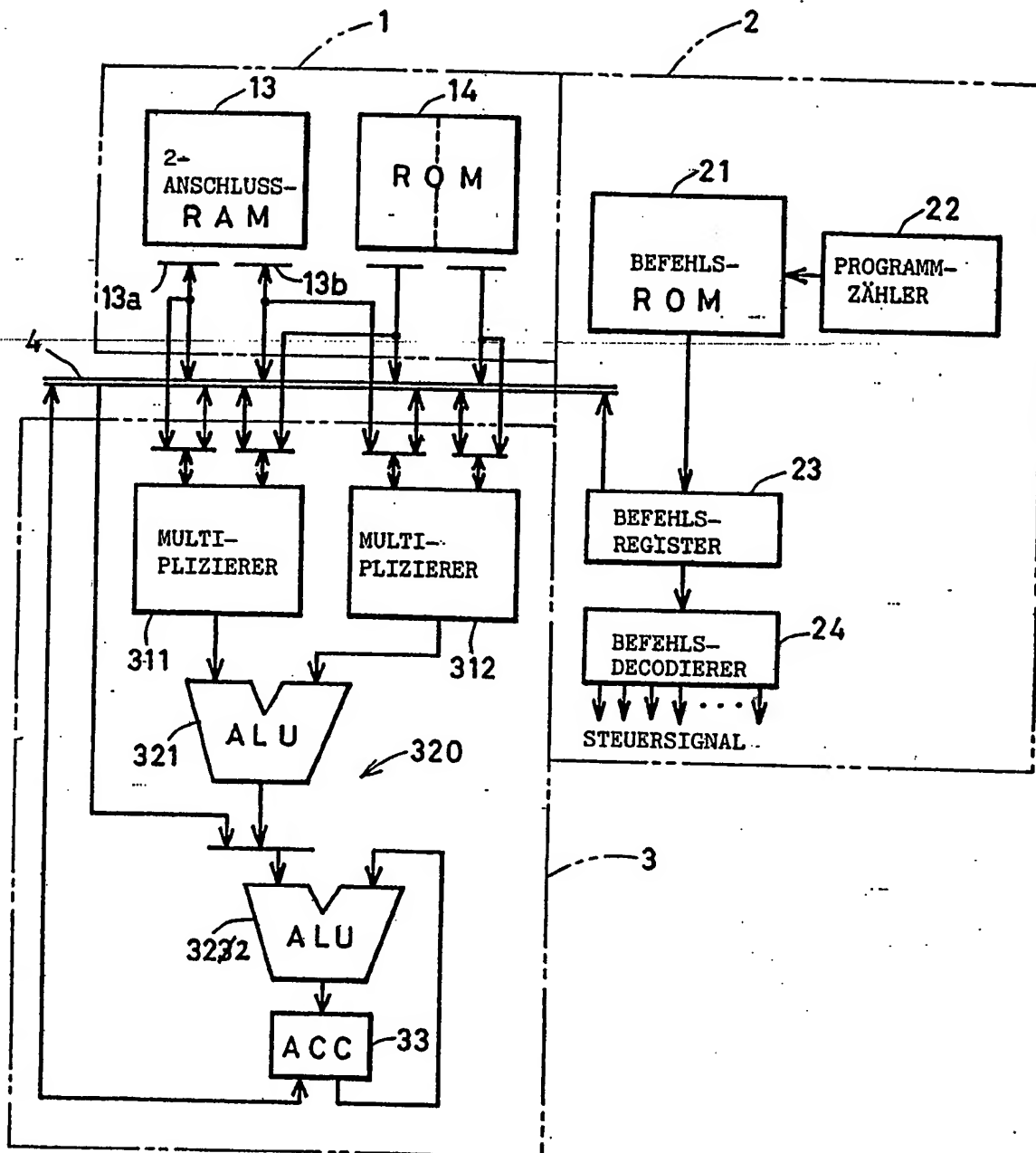


FIG.3

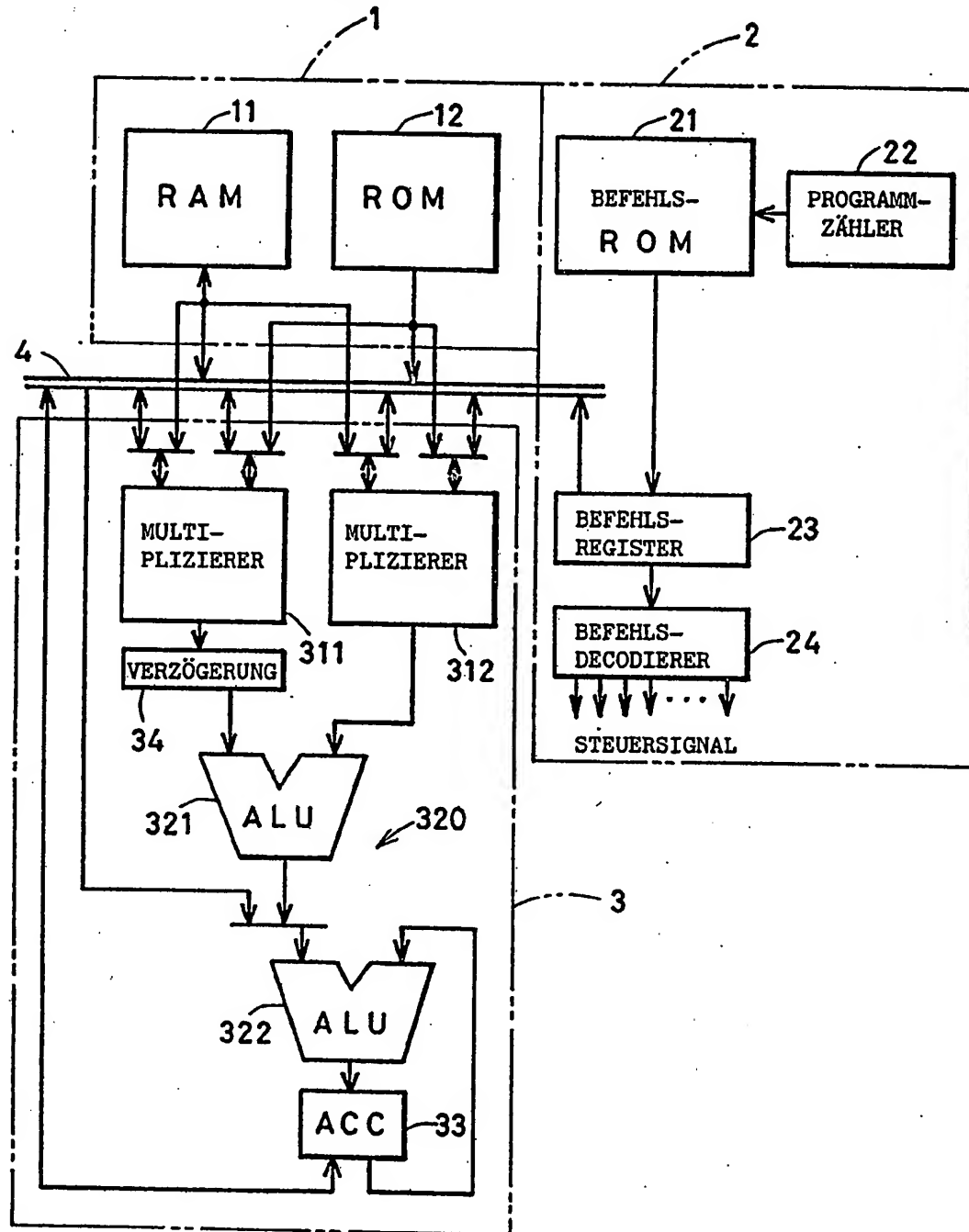


FIG.4

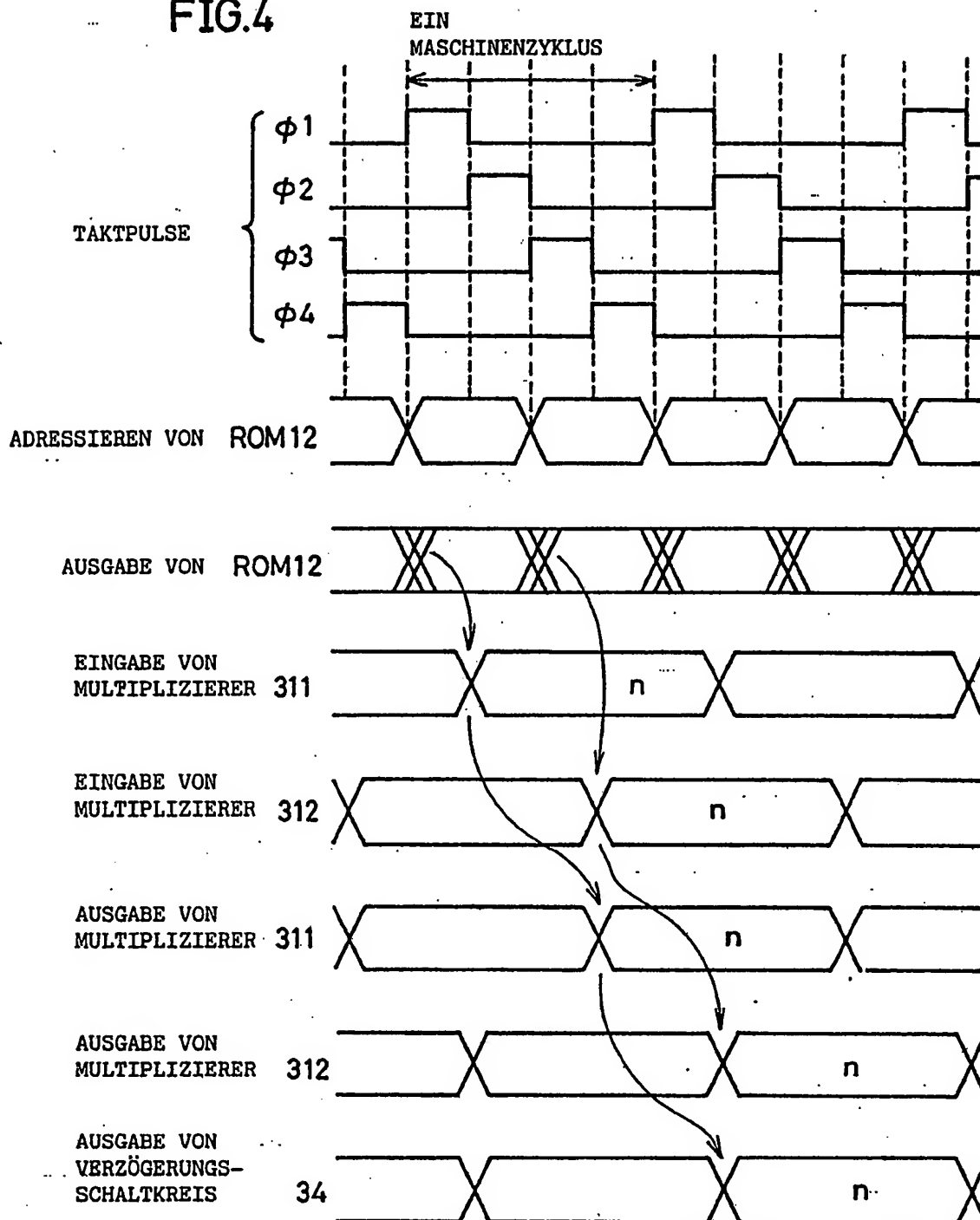


FIG.5

